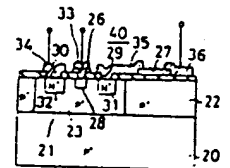
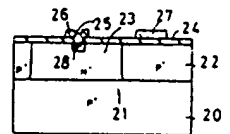


(54) SEMICONDUCTOR DEVICE

(11) 60-152069 (A) (43) 10.8.1985 (19) JP  
(21) Appl. No. 59-7956 (22) 20.1.1984  
(71) TOSHIBA K.K. (72) KIYOTO MATSUMOTO  
(51) Int. Cl.<sup>4</sup> H01L29/80, H01L27/04

**PURPOSE:** To stabilize source resistance, and to reduce the dispersion of gains by isolating a source resistor from an epitaxial layer while forming an electrode after shaping a source region and a drain region.

**CONSTITUTION:** An epitaxial layer 21 is formed on a P type semiconductor substrate 20, an island region 23 partitioned by isolation layers 22 in the layer 21 and an oxide film 24 on the layer 21. A polycrystalline silicon layer having resistance of 100~100k $\Omega$ , which is connected to the region 23 through a window 25 formed to the film 24 while shaping a source resistor 27 on the film 24, is formed. A source region 31 and a drain region 32 are formed through windows 29, 30 in the film 24 on the region 23, an electrode metallic layer is shaped on the film 24 containing a gate leading-out electrode 26 and the resistor 27, and the electrode metallic layer is patterned to shape a gate electrode 33, a drain leading-out electrode 34 and a source leading-out electrode 36 on each region.



257/ [REDACTED], 359

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-152069

⑬ Int.Cl.

H 01 L 29/80  
27/04

識別記号

庁内整理番号

7925-5F  
P-8122-5F

⑭ 公開 昭和60年(1985)8月10日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭59-7956

⑰ 出 願 昭59(1984)1月20日

⑱ 発 明 者 松 本 清 人 姫路市余部区上余部50番地 東京芝浦電気株式会社姫路工場内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

# 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

一導電型の半導体基板に所定間隔を設けて形成された反対導電型のソース領域とドレイン領域と、該ソース領域及び該ドレイン領域を含む前記半導体基板の主面に形成された絶縁膜と、該絶縁膜に開口されたコンタクトホールを介して前記ソース領域に接続するソース取出電極と、該ソース取出電極に接続し、抵抗値が100Ω乃至100kΩの多結晶シリコンからなるソース抵抗体と、前記絶縁膜に形成されたコンタクトホールを介して前記半導体基板のゲート領域上に形成された所定の不純物を含有した多結晶シリコンからなるゲート電極とを具備することを特徴とする半導体装置。

## 3. 発明の詳細な説明

(発明の技術分野)

本発明は、半導体装置に関する。

## (発明の技術的背景)

従来、インピーダンス変換等に使用される形合型電界効果トランジスタからなる半導体装置として、例えば第1図に示す構造のものがある。図中1は、P型の半導体基板2上に形成されたエピタキシャル層である。エピタキシャル層1の所定領域には、半導体基板2に連する拡散層としてP型の高濃度不純物領域からなるアイソレーション層3が形成されている。エピタキシャル層1には、このアイソレーション層3で仕切られた素子領域4と抵抗層領域5が設けられている。素子領域4には、N型の高濃度不純物からなるソース領域6及びドレイン領域7が所定間隔で設けられている。ソース領域6とドレイン領域7間の素子領域4には、P型の高濃度不純物領域8が形成されている。これらの不純物領域3, 6, 7, 8を含むエピタキシャル層1の主面には、絶縁膜9が形成されている。絶縁膜9の所定領域には、ソース領域6、ドレイン領域7、高濃度不純物領域8、ソース抵抗層領域5に連

じるコンタクトホール6a, 7a, 8a, 5a, 5bが夫々開口されている。絶縁膜9上には、コンタクトホール6a, 5aを介してソース領域6とソース抵抗層領域5に接続する取出配線層10、コンタクトホール7aを介してドレイン領域7に接続するドレイン取出電極11、コンタクトホール8aを介して高濃度不純物領域8に接続するゲート電極12、コンタクトホール5bを介してソース抵抗層領域5に接続するソース取出電極13が夫々形成されている。

#### 〔背景技術の問題点〕

このように構成された半導体装置15では、ソース抵抗層領域5をソース領域6に直列に接続することにより、ゲインのばらつきを抑制している。しかしながら、ソース領域6の露さ方向の肉厚しが、エピタキシャル層1の形成の際におけるエピタキシャル層の厚さ<sup>バンプ</sup>及び半導体基板2からの高濃度不純物のしみ出しや、ソース領域6等を形成する際の熱処理によって、大きくばらつく。

その結果、ソース抵抗が不安定になり、信頼性の高い半導体装置15を得ることができない問題があった。

#### 〔発明の目的〕

本発明は、ソース抵抗を安定にして特性ばらつきを減らし、更に信頼性の向上を達成した半導体装置を提供することをその目的とするものである。

#### 〔発明の概要〕

本発明は、ソース取出電極に抵抗値が100Ω乃至100KΩのソース抵抗体を接続して、ソース抵抗を安定にすることにより、特性ばらつきを減らし更に信頼性の向上を達成した半導体装置である。

#### 〔発明の実施例〕

以下、本発明の実施例について図面を参照して説明する。

第2図(A)乃至同図(D)は、一実施例の半導体装置の形成を製造工程に従って示す説明図である。先ず、第2図(A)に示す如く、P型半導体

基板20上にエピタキシャル成長によりN型のエピタキシャル層21を形成する。次いで、エピタキシャル層21に所定パターンの酸化膜を形成して、これをマスクにP導電型の不純物の選択拡散を施し、アイソレーション層22によって仕切られた島領域23を設ける。次に、島領域23、アイソレーション層22を含むエピタキシャル層21の主面を覆う酸化膜24を形成する。

次に、同図(B)に示す如く、ゲート形成予定領域に対応して絶縁膜24に窓25を開口する。この窓25を介して島領域23に接続する多結晶シリコン層を形成する。多結晶シリコン層中には、例えばボロンが含有されている。この不純物の濃度は、後述するソース抵抗体27の抵抗値が100Ω乃至100KΩの範囲になるように設定する。次いで、多結晶シリコン層に所定のパターンニングを施し、島領域23に接続するゲート取出電極26と、ソース抵抗体27を絶縁膜24上に形成する。この処理の際にゲート取出

電極26の直下の島領域23内には、P型の高濃度不純物領域28が形成されている。

次に、同図(C)に示す如く、島領域23上の絶縁膜24の部分に窓29, 30を開口し、この窓29, 30を介してN型不純物の選択拡散を行って、島領域23内にソース領域31及びドレイン領域32を形成する。次いで、窓29, 30を介してソース領域31及びドレイン領域32に接続する電極金属層をゲート取出電極26、ソース抵抗体27を含む絶縁膜24上に形成する。この電極金属層にパターンニングを施してゲート取出電極26上にゲート電極33を、ドレイン領域32上にはドレイン取出電極34を、ソース領域31上には、他端端がソース抵抗体27に接続するソース取出電極35を、また、ソース抵抗体27上にはソース取出電極36を形成して半導体装置40を得る。

このように構成された半導体装置40によれば、ソース抵抗体27は、エピタキシャル層21と絶縁膜24を介して分離しており、しか

も、ソース領域31及びドレイン領域32の形成後に設けられるので、その抵抗値を極めて安定した値に設定することができる。その結果、ソース抵抗を安定にしてゲインのばらつきを小さくし、信頼性の向上を達成することができる。

〔発明の効果〕

以上説明した如く、本発明に係る半導体装置によれば、ソース抵抗を安定にして特性ばらつきを減らし、更に信頼性を向上させることができるものである。

ドレイン領域、33…ゲート電極、34…ドレイン取出電極、35…ソース取出電極、36…ソース取出電極、40…半導体基板。

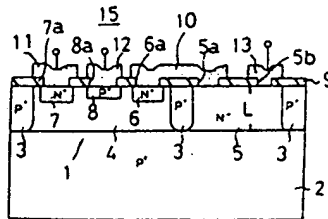
出願人代理人 弁理士 鈴 江 武 彦

4. 図面の簡単な説明

第1図は、従来の半導体装置の概略構成を示す断面図、第2図(A)乃至同図(B)は、本発明の実施例の半導体装置の構成を製造工程順に示す説明図である。

20…半導体基板、21…エピタキシャル層、22…アイソレーション層、23…島領域、24…絶縁膜、25、29、30…窓、26…ゲート取出電極、27…ソース抵抗体、28…高濃度不純物領域、31…ソース領域、32…

第1図



第2図

